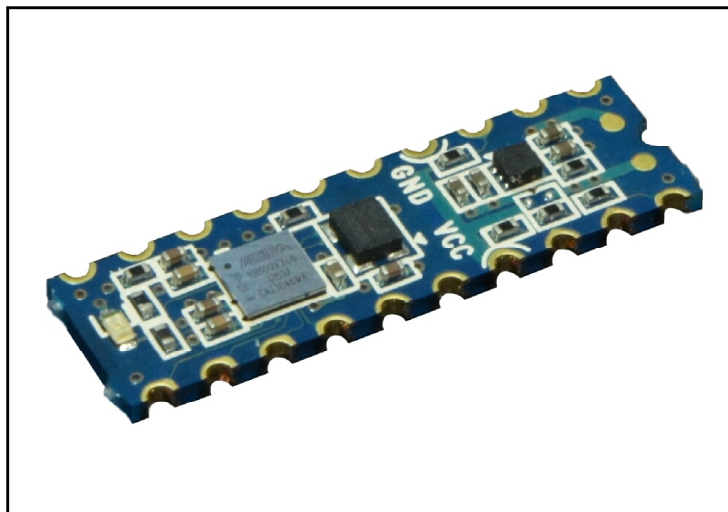


■ 1. C-02概要

CERASITE（セラサイト）シリーズは 300mil 幅の DIP スケールサイズを実現した、極小の FPGA ボードです。

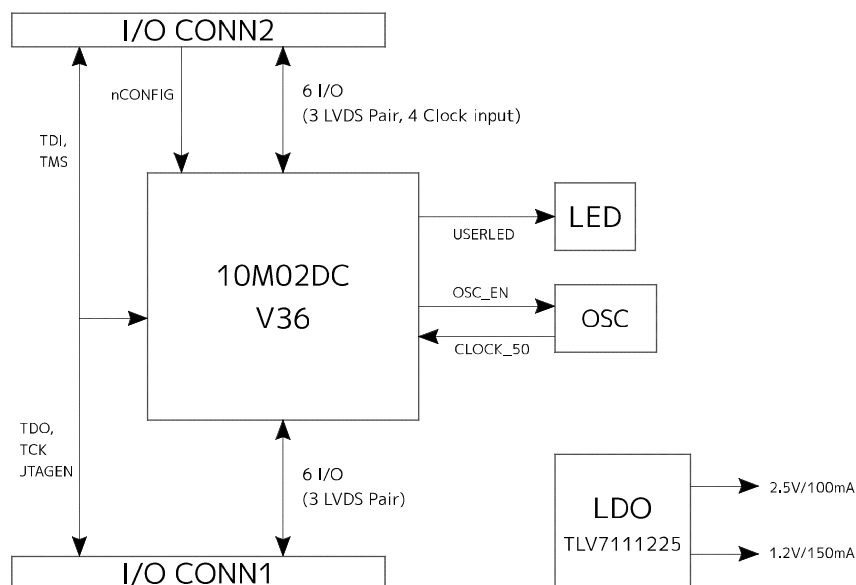
C-02 では Altera MAX10 FPGA の 10M02DCV36C8G を採用。電源回路および発振器もオンボードに搭載し、外部コンフィグレーション不要のプログラマブル・ロジック・ボードとして、組み込みやプロトタイプ用途に最適です。



主な特徴

- 300mil 幅 DIP20 ピン形状(基板サイズ 26.5mm × 7.62mm)
- 10M02DCV36C8G(2kLE,108kBit メモリ,96kBitFlash,VBGA36)使用
- OSC 搭載(50.0MHz)
- PIO 最大 17 本(LVDS 6 ペア※オプション対応)
- 3.0V/3.3V 単一電源駆動(1.2V/2.5VLDO 搭載)
- 片面部品実装でユニバーサル基板マウント可
- 端面スルー端子
- オプションで 2.5V 駆動、OSC 周波数変更、コンフィグレーション書き込み納品対応

ブロック図



■ 2. 使用方法

ボード端子図

C-02 の端子図を下記に示します。

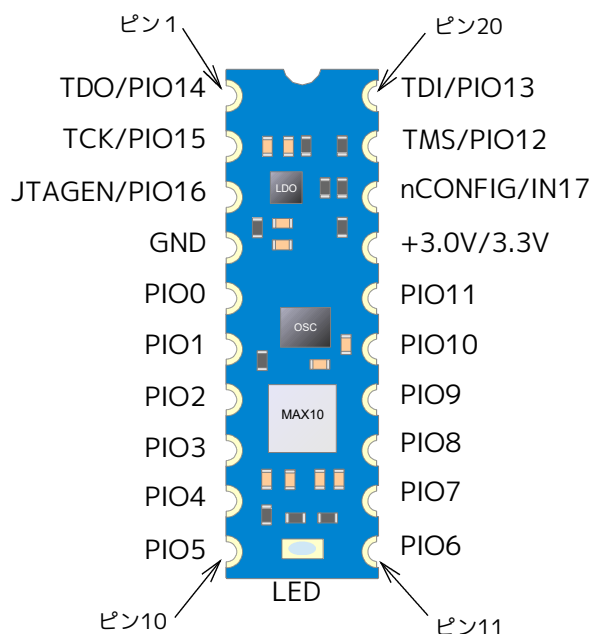


図 2-1

電源および信号の配線

C-02 は 3.0V または 3.3V の単一電源で動作します。I/O 電圧には電源電圧が供給されます。I/O 規格については印可する電圧にあわせて Quartus の PinPlanner で I/O Standard を設定してください。

また、設定する規格により 駆動できる電流量が異なります。詳細は MAX10 のデータシートを参照してください。

- ・ 3.0V を印可する場合
3.0V LVTTL/3.0V LVCMOS/3.0V PCI
- ・ 3.3V を印可する場合
3.3V LVTTL/3.0V LVCMOS

コンフィグレーション

C-02 のコンフィグレーションは USB-Blaster Rev.C または USB-BlasterII を JTAG ピンに接続して行います。オンボード書き込みを行わない場合、JTAG 機能ピンは未接続にしてください。

JTAG 機能ピンをユーザー I/O として利用する場合、外部回路が干渉しないよう注意してください。

出荷状態での注意

C-02 は出荷状態ではブランクになっています。初回にコンフィグレーションデータを書き込む場合は、先に SOF データをダウンロードして内部コンフィグレーション回路を動作させてから POFF データを書き込んでください。

標準的な接続図

一般的な使用での信号接続を下記に示します。

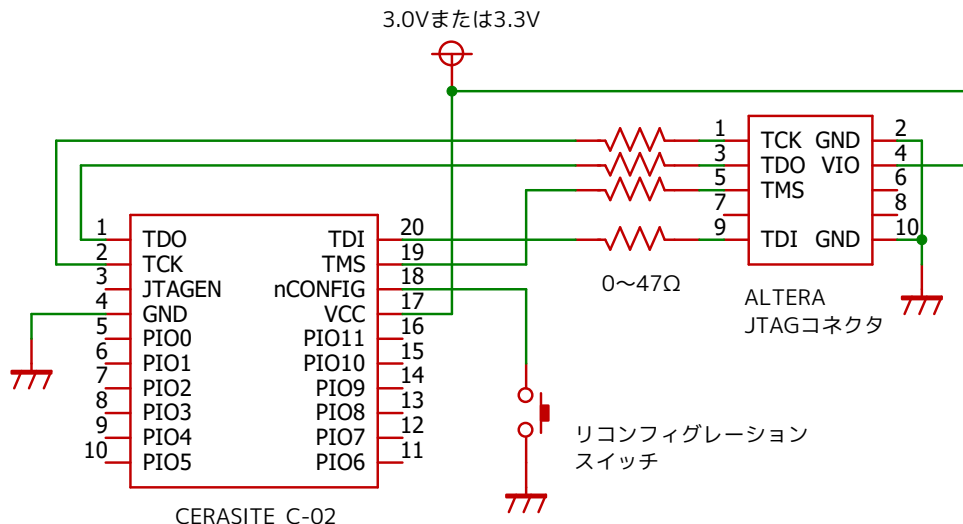


図 2-2

機能ピンをユーザー I/O として使う場合の注意

- ・ピン 3,18,19,20 は内部でプルアップ、ピン 2 は内部でプルダウンされています。これらのピンをユーザー I/O として利用する場合は、外部回路との干渉に注意してください。
- ・JTAG 機能ピンをユーザー I/O として利用する場合 JTAGEN ピンは機能切り替えピンとなり、ユーザー I/O としては利用できません。
- ・nCONFIG ピンをユーザー I/O として利用する場合は、入力専用ピンとなります。
- ・詳細については MAX10 のデータシートを参照してください。

■ 3. ピンアサイン

ボード端子

端面端子のピンアサインを下表に示します。

表 3-1

ピン番号	入出力	信号名	FPGA ピン	備 考
1	O,IO	TDO/PIO14	D2	
2	I,IO	TCK/PIO15	D3	内部プルダウン(1k Ω)
3	I,IO	JTAGEN/PIO16	C2	内部プルアップ(10k Ω)
4		GND		
5	IO	PIO0	F3	
6	IO	PIO1	F2	
7	IO	PIO2	F4	
8	IO	PIO3	E3	
9	IO	PIO4	C5	
10	IO	PIO5	B6	
11	IO	PIO6	D5	
12	IO	PIO7	C6	
13	IO	PIO8	D6	
14	IO	PIO9	E6	
15	IO	PIO10	E5	
16	IO	PIO11	E4	
17		VCC		+3.0V/3.3V
18	I,I	nCONFIG/IN17	A4	内部プルアップ(10k Ω)
19	I,IO	TMS/PIO12	C3	内部プルアップ(10k Ω)
20	I,IO	TDI/PIO13	C1	内部プルアップ(10k Ω)

オンボードOSC

C-02 では 50MHz のオンボード発振器が利用できます。ピンアサインを下表に示します。

表 3-2

入出力	信号名	FPGA ピン	備 考
O	OSC_OE	D1	HでOSCイネーブル
I	CLOCK_50	E1	

オンボードLED

C-02 では 1 つのオンボード LED が利用できます。ピンアサインを下表に示します。

表 3-3

入出力	信号名	FPGA ピン	備 考
O	LED	A5	H で点灯

■ 4. 定格

電気および温度の定格

表 4-1

項目	内容
電源電圧	3.0V ± 5%または 3.3V ± 5%
消費電流	最大 100mA
I/O ピン電流	± 8mA
温度範囲	0 °C ~ 85 °C (結露の無いこと)

※電気特性の詳細については搭載デバイスのデータシートを参照してください。
また動作温度範囲は搭載デバイスの仕様に準拠します。

外形寸法

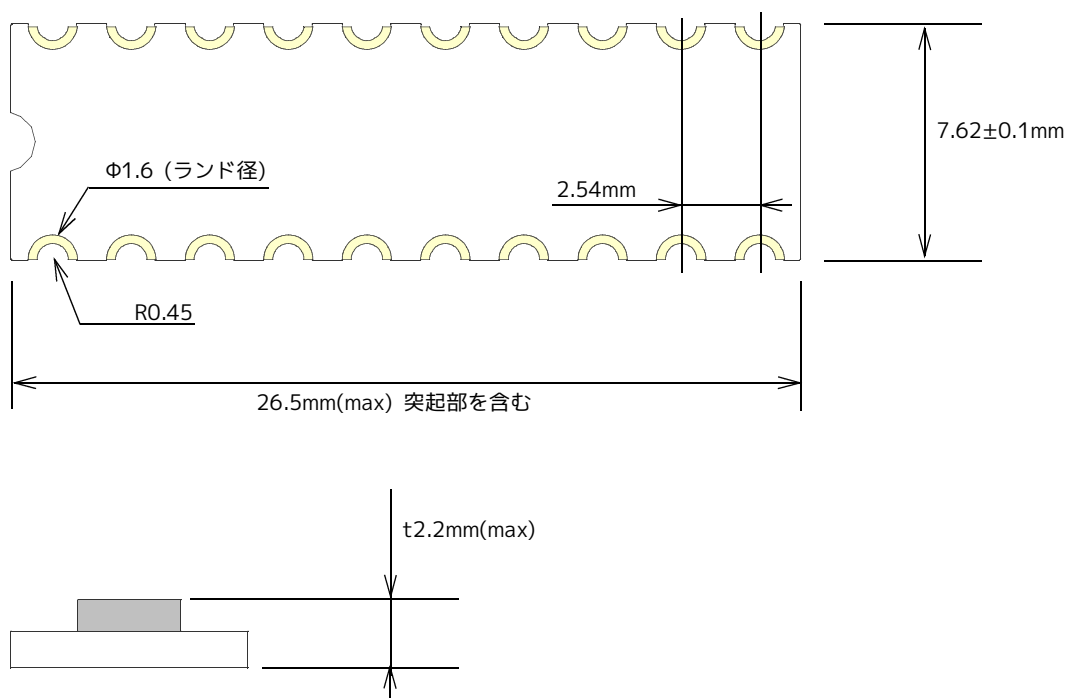


図 4-1

注意点

- ・端面スルー部には製造上、金属のバリが残っている場合があります。
- ・基板に直接実装して使用する場合、C-02 下面に端子や VIA 等のランドを配置しないよう注意してください。
- ・ユニバーサル基板に実装する場合は連結ピンを使用してください。

■ 5. 改訂履歴

2016/04/25 初版



製品お取り扱い上の注意

- ・本製品を使用の際には表記されている仕様を超えないようにして下さい。また故障の際の安全対策についても使用者自身の責任で行ってください。
- ・本製品を二次製品に利用した場合のあらゆる事象につきましては利用者自身の責任で対処してください。
- ・使用している部品および設計ツールに関しては、各メーカーのデータシートを参照してください。
- ・初期不良につきましては購入元へお問い合わせください。
- ・本製品は別途記載のない限り、部品および回路についての質問・製品保守などの技術サポートは行いません。
- ・その他製品に関するお問い合わせは下記連絡先までお寄せください。
- ・本製品や資料の記載内容および仕様については予告なく変更する場合があります。

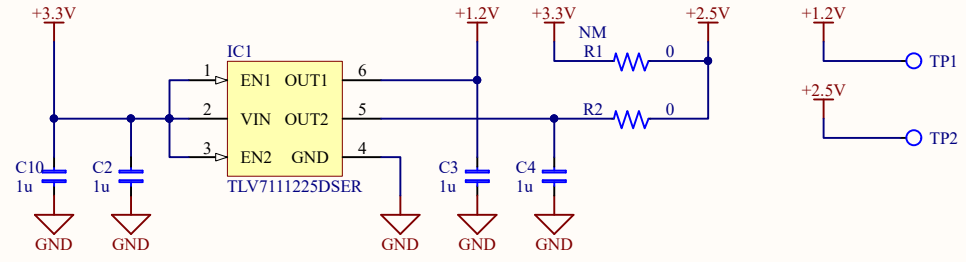
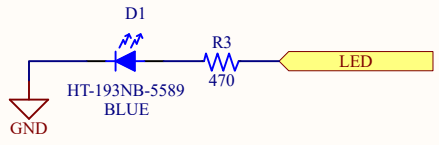
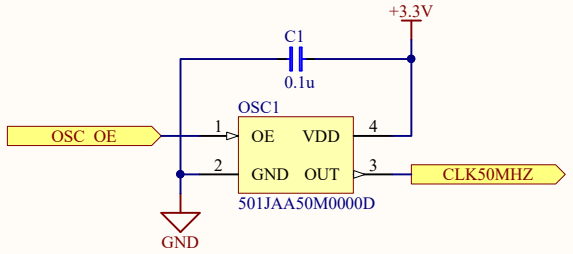
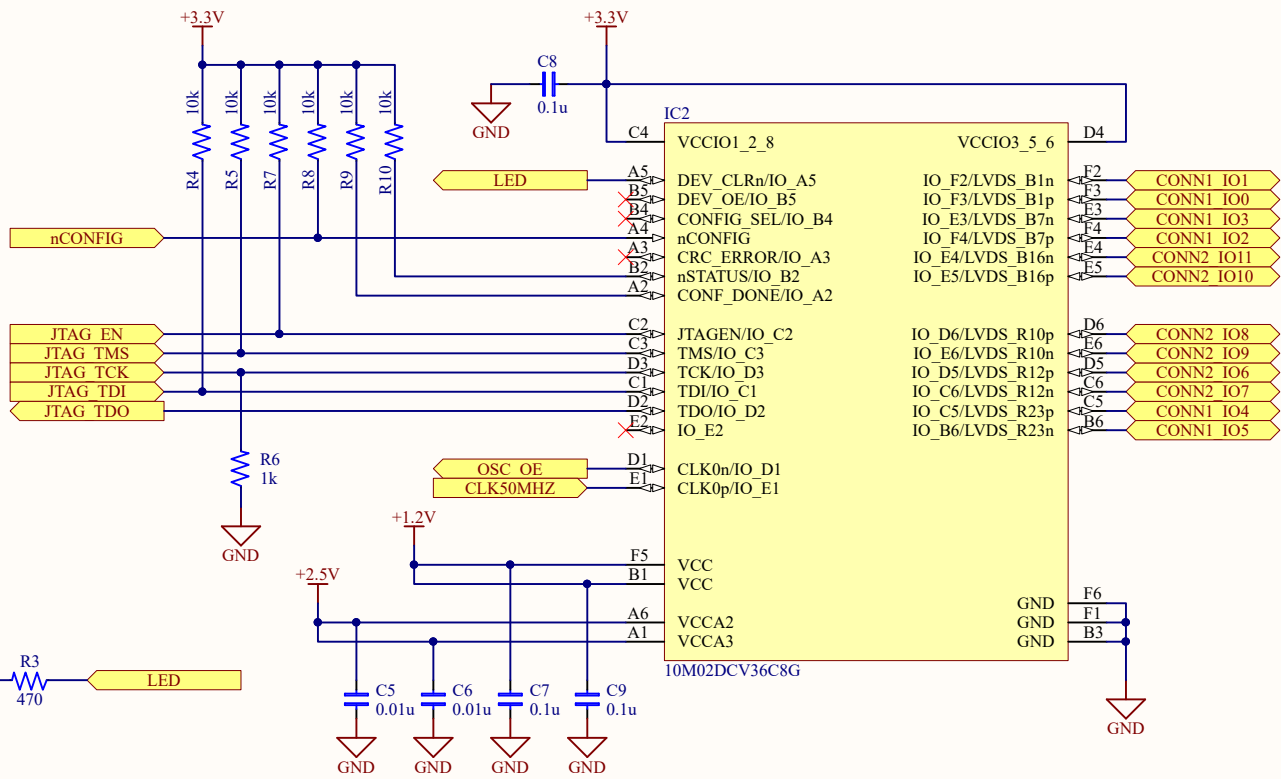
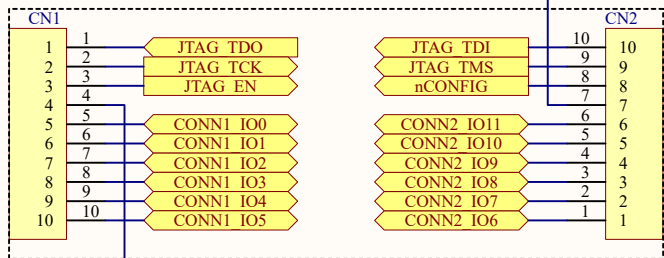
製造・販売:



J-7SYSTEM WORKS

お問い合わせは下記メールアドレスまでお願いいたします。
mail : info@j7system.jp

300mil幅DIP20ピン (エッジサイドスルー)



Title		
DIP-Scale MAX10 Board		
Size	Number	Revision
A4	CERASITE	1.0
Date:	2016/04/24	Sheet 1 of 1
File:	C:\PROJECT\...\Page1.SchDoc	Drawn By: J-7SYSTEM Works